

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-244366
 (43)Date of publication of application : 02.09.1994

(51)Int.CI. H01L 27/088
 H01L 29/784

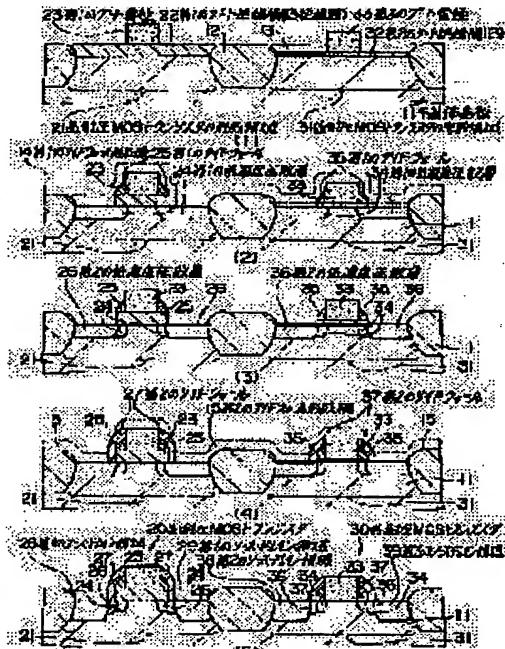
(21)Application number : 05-047518 (71)Applicant : SONY CORP
 (22)Date of filing : 12.02.1993 (72)Inventor : ITO SHINICHI
 NAKAJIMA HIDEHARU

(54) MANUFACTURE OF MOS TRANSISTOR

(57)Abstract:

PURPOSE: To simplify processes by omitting a photolithography process when a MOS transistor having a high withstand voltage is formed or when a MOS transistor having a high withstand voltage and a MOS transistor having an ordinary withstand voltage are formed.

CONSTITUTION: When first side walls 25 and 35 are formed along side walls of first and second gate electrodes 23 and 33, a semiconductor substrate 11, located at a region 21 where a MOS transistor having a high withstand voltage is formed, is exposed. After second side walls 36 have been formed along side walls of the second gate electrode 33, located at a region 31 where a MOS transistor having a low withstand voltage is formed, using second side wall formation film 15, first and second source-drain regions 28, 29, 38 and 39 are formed. Moreover, source-drain regions are formed using a non-illustrated insulation film, which will become an interlayer film, as an ion implantation mask. As a result of this, a photolithography process, in which an ion implantation mask is formed, is omitted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-244366

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl.
H 01 L 27/088
29/784

識別記号

庁内整理番号

F I

技術表示箇所

9170-4M
9054-4M

H 01 L 27/08
29/78

102 A
301 C

審査請求 未請求 請求項の数3 FD (全11頁)

(21)出願番号 特願平5-47518

(22)出願日 平成5年(1993)2月12日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 伊藤 信一

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 中嶋 英晴

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

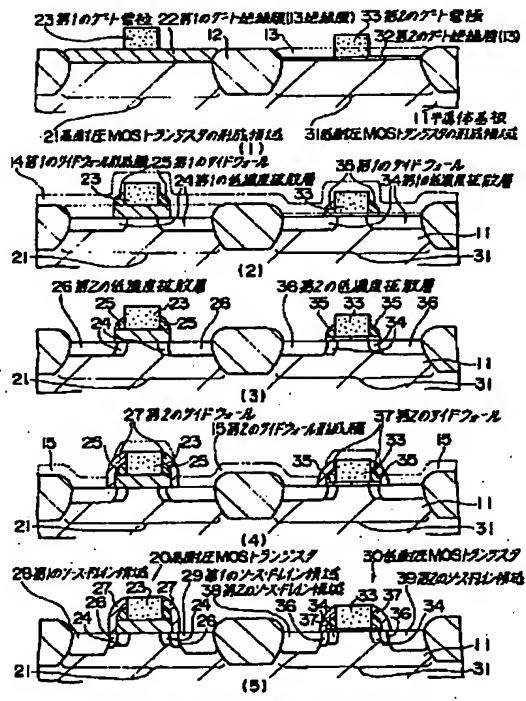
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 MOSトランジスタの製造方法

(57)【要約】

【目的】 本発明は、高耐圧MOSトランジスタを形成する、または高耐圧MOSトランジスタと通常の耐圧のMOSトランジスタとを形成する際に、ホトリソグラフィー工程を省略して、工程の簡単化を図る。

【構成】 第1, 第2のゲート電極23, 33の側壁に第1のサイドウォール25, 35を形成する際、高耐圧MOSトランジスタの形成領域21の半導体基板11を露出させ、さらに第2のサイドウォール形成膜15で、低耐圧MOSトランジスタの形成領域31における第2のゲート電極33の側壁に第2のサイドウォール36を形成した後、第1, 第2のソース・ドレイン領域28, 29, 38, 39を形成する。また図示はしないが、層間膜になる絶縁膜をイオン注入マスクにしてソース・ドレイン領域を形成することで、イオン注入マスクを形成するホトリソグラフィー工程を省略する。



第1の発明における実施例の製造工程図

【特許請求の範囲】

【請求項1】 高耐圧MOSトランジスタと低耐圧MOSトランジスタを同一半導体基板に形成するMOSトランジスタの製造方法であって、

高耐圧MOSトランジスタの形成領域における半導体基板の上面に第1のゲート絶縁膜を形成するとともに、低耐圧MOSトランジスタの形成領域における半導体基板の上面に前記第1のゲート絶縁膜よりも薄い膜厚の第2のゲート絶縁膜を形成し、次いで前記第1のゲート絶縁膜上に第1のゲート電極を形成するとともに、前記第2のゲート絶縁膜上に第2のゲート電極を形成する第1の工程と、

前記第2のゲート電極の両側における半導体基板の低耐圧MOSトランジスタの形成領域上層に第1の低濃度拡散層を形成する第2の工程と、

前記第1、第2のゲート電極側を覆う状態に第1のサイドウォール形成膜を成膜した後、半導体基板表面が露出するまで前記第1のサイドウォール形成膜の一部分と前記第1、第2のゲート絶縁膜の一部分を除去して、前記第1、第2のゲート電極のそれぞれの側壁に第1のサイドウォールを形成する第3の工程と、

前記第1、第2のゲート電極の両側における半導体基板の上層に第2の低濃度拡散層を形成する第4の工程と、前記第1、第2のゲート電極側を覆う状態に第2のサイドウォール形成膜を成膜した後、半導体基板表面が露出するまで前記第2のサイドウォール形成膜の一部分を除去して、前記各第1のサイドウォールの側壁側に第2のサイドウォールを形成する第5の工程と、

前記第1のゲート電極と前記第2のサイドウォールとをマスクにした不純物導入処理によって、前記第1のゲート電極の両側における半導体基板の高耐圧MOSトランジスタの形成領域上層に第1のソース・ドレイン領域を形成するとともに、前記第2のゲート電極と前記第2のサイドウォールとをマスクにした不純物導入処理によって、前記第2のゲート電極の両側における半導体基板の低耐圧MOSトランジスタの形成領域上層に第2のソース・ドレイン領域を形成する第6の工程とを行うことを特徴とするMOSトランジスタの製造方法。

【請求項2】 高耐圧MOSトランジスタと低耐圧MOSトランジスタを形成するMOSトランジスタの製造方法であって、

高耐圧MOSトランジスタの形成領域にゲート絶縁膜パターンを形成し、次いで低耐圧MOSトランジスタの形成領域にゲート絶縁膜を形成した後、前記ゲート絶縁膜パターン上に第1のゲート電極を形成するとともに、前記ゲート絶縁膜上に第2のゲート電極を形成する第1の工程と、

少なくとも、前記第1のゲート電極の両側における半導体基板の高耐圧MOSトランジスタの形成領域上層に第1の低濃度拡散層を形成する第2の工程と、

少なくとも、前記第2のゲート電極の両側における半導体基板の低耐圧MOSトランジスタの形成領域上層に前記第1の低濃度拡散層より濃度が高い第2の低濃度拡散層を形成する第3の工程と、

前記第1、第2のゲート電極側を覆う状態にサイドウォール形成膜を成膜した後、半導体基板表面が露出するまで前記サイドウォール形成膜の一部分を除去して、前記第1、第2のゲート電極のそれぞれの側壁にサイドウォールを形成する第4の工程と、

不純物導入処理によって、前記ゲート絶縁膜パターンの両側における半導体基板の高耐圧MOSトランジスタの形成領域上層に第1のソース・ドレイン領域を形成するとともに、第2のゲート電極の両側における半導体基板の低耐圧MOSトランジスタの形成領域上層に、前記第2の低濃度拡散層の一部分を介して第2のソース・ドレイン領域を形成する第5の工程とを行うことを特徴とするMOSトランジスタの製造方法。

【請求項3】 半導体基板上にゲート絶縁膜を形成した後、当該ゲート絶縁膜上にゲート電極を形成する第1の工程と、

前記ゲート電極の両側における前記半導体基板の上層に低濃度拡散層を形成する第2の工程と、

前記ゲート電極を覆う状態にして前記半導体基板上に絶縁膜を形成した後、前記各低濃度拡散層上の所定位置における前記絶縁膜にコンタクトホールを形成する第3の工程と、

前記絶縁膜をイオン注入マスクにして、前記各コンタクトホールを通して前記半導体基板の上層に不純物を導入して高濃度拡散層を形成する第4の工程とを行うことを特徴とするMOSトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高い耐圧（例えば15V～20V程度で使用する）を要求される、いわゆる高耐圧MOSトランジスタを形成する、または上記高耐圧MOSトランジスタと通常の耐圧（例えば3.3V～5V程度で使用する）を要求される、いわゆる低耐圧MOSトランジスタと、同一半導体基板に形成するMOSトランジスタの製造方法に関するものである。

【0002】

【従来の技術】 高耐圧MOSトランジスタと通常の耐圧のトランジスタを同一チップ内に製造する従来の製造方法を、図4の製造工程図により説明する。図4の(1)に示すように、通常のLOCOS法によって、半導体基板111の上面に、高耐圧MOSトランジスタの形成領域121（以下形成領域121と記す）と低耐圧MOSトランジスタの形成領域131（以下形成領域131と記す）とを分離する素子分離領域112を形成する。

【0003】 次いで例えば熱酸化法またはCVD法（化学的気相成長法）によって、形成領域121の半導体基

板111上と形成領域131の半導体基板111上に、第1のゲート絶縁膜122を形成する。そして、ホトリソグラフィー技術とエッチングによって、形成領域131の第1のゲート絶縁膜122（2点鎖線で示す部分）を除去する。

【0004】続いて図4の(2)に示すように、例えば熱酸化法またはCVD法（化学的気相成長法）によって、形成領域131の半導体基板111上に第2のゲート絶縁膜132を形成する。次いでCVD法（化学的気相成長法）によって、ゲート電極形成膜113を成膜した後、2点鎖線で示す部分のゲート電極形成膜113を除去して、形成領域121に残したゲート電極形成膜（113）で第1のゲート電極123を形成するとともに、形成領域131に残したゲート電極形成膜（113）で第2のゲート電極133を形成する。さらに通常のイオン注入法によって、上記第2のゲート電極133の両側における半導体基板111の形成領域131の上層に、例えばヒ素を導入することによって、LDD拡散層134, 135を形成する。このとき、第1のゲート絶縁膜122の膜厚が厚いため、この形成領域121にはイオン注入されない。

【0005】その後図4の(3)に示すように、CVD法によって、各第1, 第2のゲート電極123, 133を覆う状態にして上記半導体基板111上にサイドウォール形成膜114を形成する。次いで上記サイドウォール形成膜114をエッチバック処理して、2点鎖線で示すサイドウォール形成膜114を除去し、第2のゲート電極133の両側にサイドウォール136を形成する。このとき、第1のゲート電極123の両側にもサイドウォール124が形成される。上記エッチバック処理では、形成領域131における半導体基板111を露出させるために、形成領域121における第1のゲート絶縁膜122の上層もエッチングされる。しかし第1のゲート絶縁膜122は残る。

【0006】このため、図4の(4)に示すように、通常のホトリソグラフィー技術によって、形成領域131を覆うレジストパターン115を形成する。そして、エッチバック処理によって、形成領域121に形成されている第1のゲート絶縁膜122の2点鎖線で示す部分を除去して、半導体基板111を露出させる。このとき、サイドウォール124の上端側（1点鎖線で示す部分）も除去される。このように、形成領域131側をレジストパターン115で覆うことにより、サイドウォール136は細らない。

【0007】その後、上記レジストパターン115を除去した後、通常のイオン注入法によって、形成領域121に高耐圧MOSトランジスタのソース・ドレイン領域125, 126を形成するとともに、形成領域131に低耐圧MOSトランジスタのソース・ドレイン領域137, 138を形成する。上記の如くに、高耐圧MOSト

ランジスタ120と低耐圧MOSトランジスタ130とが形成される。

【0008】また、上記構造の高耐圧MOSトランジスタ120のソース・ドレイン領域125, 126をいわゆるオフセット構造で形成する方法を、図5の製造工程図により説明する。図5の(1)に示すように、ホトリソグラフィー技術によって、ドレイン領域を形成する側のオフセットを形成する領域上を覆う状態に、例えればレジストよりなるイオン注入マスク141を形成する。そしてイオン注入法によって、第1のゲート電極123の一方側における半導体基板111の上層に、オフセット構造のソース・ドレイン領域（ドレイン領域）126を形成する。それとともに、第1のゲート電極123の他方側における半導体基板111の上層に、ソース・ドレイン領域（ソース領域）125を形成する。

【0009】その後上記イオン注入マスク141を、例えればアッシャー処理またはウェットエッチングによって除去する。次いで図5の(2)に示すように、通常、例えればCVD法によって、上記第1のゲート電極123側の全面に層間絶縁膜142を形成する。次いでホトリソグラフィー技術とエッチングによって、層間絶縁膜142の所定の位置にコンタクトホール143, 144を形成する。その後通常の配線形成技術によって、コンタクトホール143, 144を通して、ソース・ドレイン領域125, 126に通じる電極145, 146を形成する。

【0010】

【発明が解決しようとする課題】上記高耐圧MOSトランジスタと低耐圧MOSトランジスタの製造方法では、ソース・ドレイン領域を形成する前に、第1のゲート電極の両側における高耐圧MOSトランジスタの形成領域に残っている第1のゲート絶縁膜を除去するためのホトリソグラフィー工程が必要になる。このため、製造工程が複雑になる。一方、ホトリソグラフィー工程を行わないで、高耐圧MOSトランジスタの形成領域の第1のゲート絶縁膜をエッチバックした場合には、低耐圧MOSトランジスタの形成領域に形成したサイドウォールがエッチバックされて、細くなる。このため、LDD拡散層の長さが短くなるので、低耐圧MOSトランジスタの電界緩和特性が低下する。

【0011】またオフセット構造のドレイン領域を有する高耐圧トランジスタの製造方法では、オフセット構造を形成するためのホトリソグラフィー技術が必要になる。このため、上記同様に、製造工程が複雑になる。

【0012】本発明は、ホトリソグラフィー工程を省略することによって工程を簡略化するMOSトランジスタの製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明は、上記目的を達成するためになされたMOSトランジスタの製造方法で

ある。第1の製造方法としては、第1の工程で、半導体基板における、高耐圧MOSトランジスタの形成領域の上面に第1のゲート絶縁膜を形成するとともに、低耐圧MOSトランジスタの形成領域の上面に第1のゲート絶縁膜よりも薄い膜厚の第2のゲート絶縁膜を形成し、次いで第1のゲート絶縁膜上には第1のゲート電極を形成し、第2のゲート絶縁膜上には第2のゲート電極を形成する。次いで第2の工程で、第2のゲート電極の両側における半導体基板の上層に第1の低濃度拡散層を形成する。統いて第3の工程で、第1、第2のゲート電極側の全面を覆う状態に第1のサイドウォール形成膜を成膜した後、半導体基板表面が露出するまで第1のサイドウォール形成膜と第1、第2のゲート絶縁膜とを除去し、第1、第2のゲート電極のそれぞれの側壁に第1のサイドウォールを形成する。さらに第4の工程で、第1、第2のゲート電極の両側における半導体基板の上層に第2の低濃度拡散層を形成する。さらに第5の工程で、第1、第2のゲート電極側を覆う状態に第2のサイドウォール形成膜を成膜した後、半導体基板表面が露出するまで第2のサイドウォール形成膜を除去して、各第1のサイドウォールの側壁側に第2のサイドウォールを形成する。その後第6の工程で、不純物導入処理によって、第1のゲート電極の両側における半導体基板上層に第1のソース・ドレイン領域を形成するとともに、第2のゲート電極の両側における半導体基板上層に第2のソース・ドレイン領域を形成する。

【0014】第2の製造方法としては、第1の工程で、高耐圧MOSトランジスタの形成領域にゲート絶縁膜パターンを形成し、次いで低耐圧MOSトランジスタの形成領域にゲート絶縁膜を形成した後、ゲート絶縁膜パターン上に第1のゲート電極を形成するとともに、ゲート絶縁膜上に第2のゲート電極を形成する。次いで第2の工程で、少なくとも、第1のゲート電極の両側における半導体基板上層に第1の低濃度拡散層を形成する。統いて第3の工程で、少なくとも、第2のゲート電極の両側における半導体基板上層に第1の低濃度拡散層より濃度が高い第2の低濃度拡散層を形成する。さらに第4の工程で、第1、第2のゲート電極側を覆う状態にサイドウォール形成膜を成膜した後、半導体基板表面が露出するまでサイドウォール形成膜の一部分を除去して、第1、第2のゲート電極のそれぞれの側壁にサイドウォールを形成する。その後第5の工程で、不純物導入処理によって、ゲート絶縁膜パターンの両側における半導体基板上層に第1のソース・ドレイン領域を形成するとともに、第2のゲート電極の両側における半導体基板上層に第2の低濃度拡散層の一部分を介して第2のソース・ドレイン領域を形成する。

【0015】第3の製造方法としては、第1の工程で、半導体基板上にゲート絶縁膜を形成し、さらにその上面にゲート電極を形成する。次いで第2の工程で、ゲート

電極の両側における半導体基板の上層に低濃度拡散層を形成する。統いて第3の工程で、ゲート電極を覆う状態にして半導体基板上に絶縁膜を形成した後、各低濃度拡散層上の所定位置における絶縁膜にコンタクトホールを形成する。その後第4の工程で、絶縁膜をイオン注入マスクにして、各コンタクトホールを通して半導体基板の上層に不純物を導入して高濃度拡散層を形成する。

【0016】

【作用】第1の製造方法では、第2、第3の工程で、第1、第2の低濃度拡散層を形成した後、第4の工程で、第1、第2のゲート電極側を覆う状態に第1のサイドウォール形成膜を成膜し、次いで半導体基板表面が露出するまで第1のサイドウォール形成膜の一部分とゲート絶縁膜の一部分とを除去して、第1、第2のゲート電極のそれぞれの側壁に第1のサイドウォールを形成する。さらに第5の工程で、第1、第2のゲート電極側を覆う状態に第2のサイドウォール形成膜を成膜した後、半導体基板表面が露出するまで第2のサイドウォール形成膜の一部分を除去して、各第1のサイドウォールの側壁側に第2のサイドウォールを形成する。このため、第2のゲート電極の両側に、十分な長さのサイドウォールが形成されるので、第2のMOSトランジスタには、第2の低濃度拡散層よりなる電界緩和層が形成される。また第1のMOSトランジスタのソース・ドレイン領域を形成する半導体基板上にゲート絶縁膜が残らないので、ソース・ドレイン領域を形成する不純物導入処理が行える。またサイドウォールを形成する際に、ホトリソグラフィー工程を行う必要がない。

【0017】第2の製造方法では、第1の工程で、高耐圧MOSトランジスタの形成領域におけるソース形成領域上とドレイン形成領域との間にゲート絶縁膜パターンを形成して、その上に第1のゲート電極を形成し、第5の工程の不純物導入処理によって、ゲート絶縁膜パターンとサイドウォールとをマスクにして半導体基板上層に第1のソース・ドレイン領域を形成することにより、ゲート絶縁膜パターンに対する第1のゲート電極の形成位置によって、オフセット長が決定される。また第1の工程で、ゲート絶縁膜パターンが形成されているので、第2のゲート電極の両側にサイドウォールを形成する際に、高耐圧MOSトランジスタの形成領域におけるソース・ドレイン領域を形成する半導体基板上にサイドウォール形成膜が残らない。したがって、第5の工程における不純物導入処理によって、同時に、第1、第2のソース・ドレイン領域が形成される。またサイドウォールを形成する際に、ホトリソグラフィー工程を行う必要がない。

【0018】第3の製造方法では、層間絶縁膜をイオン注入マスクにしたイオン注入法によって、層間絶縁膜に形成したコンタクトホールを通して半導体基板にソース・ドレイン領域を形成したので、ソース・ドレイン領域

を形成する領域を設定するためのイオン注入マスクを形成するホトリソグラフィー工程が必要ない。

【0019】

【実施例】第1の本発明の実施例を、図1の製造工程図により説明する。図1の(1)に示すように、まず通常の素子分離領域を形成する方法として、例えばLOCO S法によって、半導体基板11を高耐圧MOSトランジスタの形成領域21(以下形成領域21と記す)と低耐圧MOSトランジスタの形成領域31(以下形成領域31と記す)とに分離する素子分離領域12を形成する。

【0020】次いで第1の工程を行う。この工程では、例えばCVD法(化学的気相成長法)または熱酸化法によって、半導体基板11の上面に絶縁膜13を形成する。この絶縁膜13は、例えば膜厚が100nmに形成される。次いでホトリソグラフィー技術によって、形成領域21を覆う状態にエッチングマスク(図示せず)を形成する。続いてエッチングを行って、上記形成領域31における上記絶縁膜13の上面側より、例えば80nmの厚さ(2点鎖線で示す部分)だけ除去する。そして、形成領域21に絶縁膜(13)よりなる第1のゲート絶縁膜22を形成するとともに、形成領域31に絶縁膜(13)よりなる膜厚が例えば20nmの第2のゲート絶縁膜32を形成する。その後、上記エッチングマスクを、例えばアッシャー処理またはウェットエッチングによるレジスト剥離処理等により、除去する。

【0021】なお上記形成領域31上のゲート絶縁膜13を全て除去した後、半導体基板11の全面に第2のゲート絶縁膜32を形成することも可能である。この場合には、上記絶縁膜13を、形成しようとする第1のゲート絶縁膜22の膜厚より上記第2のゲート絶縁膜32の膜厚を差し引いた値の膜厚に成膜する。

【0022】次いで通常の成膜技術(例えばCVD法)によって、電極形成膜(図示せず)の成膜し、続いてホトリソグラフィー技術によって、エッチングマスク(図示せず)を形成し、その後エッチングによって、当該第1のゲート絶縁膜22上に第1のゲート電極23を形成する。上記製造プロセスによってほぼ同時に、形成領域31の第2のゲート絶縁膜32上に第2のゲート電極33を形成する。

【0023】次いで図1の(2)に示す第2の工程と第3の工程とを行う。まず第2の工程では、通常のイオン注入法によって、上記第2のゲート電極33の両側における形成領域31の半導体基板11の上層に第1の低濃度拡散層34(図ではハッチングを省略した)を形成する。上記イオン注入法では、例えば不純物にリンを用い、その際のドーズ量を、例えば $5 \times 10^{12} \text{ cm}^{-2}$ 程度に設定する。このイオン注入では、不純物にリンを用いているので、第1のゲート電極23の両側における形成領域21の半導体基板11の上層にも第1の低濃度拡散層24(図ではハッチングを省略した)が形成される。

【0024】続いて第3の工程では、例えば通常のCVD法によって、上記第1、第2のゲート電極23、33側を覆う状態に第1のサイドウォール形成膜14を成膜する。続いて通常のエッチバック処理によって、形成領域21の半導体基板11の表面が露出するまで、第1のサイドウォール形成膜14の2点鎖線で示す部分と上記第1のゲート絶縁膜22の1点鎖線で示す部分と第2のゲート絶縁膜32の1点鎖線で示す部分とを除去する。そして第1、第2のゲート電極23、33のそれぞれの側壁に第1のサイドウォール25、35を形成する。

【0025】次いで図1の(3)に示すように、第4の工程と第5の工程とを行う。まず第4の工程では、上記第1、第2のゲート電極23、33と第1のサイドウォール25、35とをイオン注入マスクにした通常のイオン注入法によって、各形成領域21、31における半導体基板11の上層に、上記第1の低濃度拡散層24、34より濃度が高い第2の低濃度拡散層26、36(図ではハッチングを省略した)を形成する。上記イオン注入法では、例えば不純物にヒ素を用い、その際のドーズ量を、例えば $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 程度に設定する。

【0026】続いて図1の(4)に示す第5の工程を行う。この工程では、例えば通常のCVD法によって、各第1、第2のゲート電極23、33側の全面を覆う状態に、第2のサイドウォール形成膜15を成膜する。続いて通常のエッチバック処理によって、各形成領域21、31の半導体基板11の表面が露出するまで、第2のサイドウォール形成膜15の2点鎖線で示す部分を除去する。そして第1サイドウォール25、35のそれぞれの側壁側に第2のサイドウォール27、37を形成する。

【0027】続いて図1の(5)に示す第6の工程を行う。この工程では、例えば上記第1のゲート電極23と上記第2のサイドウォール27とをマスクにした不純物導入処理(例えばイオン注入)によって、上記第1のゲート電極23の両側における半導体基板11の形成領域21の上層に第1のソース・ドレイン領域28、29(図ではハッチングを省略した)を形成する。それとともに、上記不純物導入処理では、上記第2のゲート電極33と上記第2のサイドウォール37とをマスクにして、上記第2のゲート電極33の両側における半導体基板11の形成領域31の上層に、第2のソース・ドレイン領域38、39(図ではハッチングを省略した)を形成する。したがって、第1のソース・ドレイン領域28、29のゲート電極23側には、第1、第2の低濃度拡散層24、26が形成される。また第2のソース・ドレイン領域38、39のゲート電極33側には、第1、第2の低濃度拡散層34、36が形成される。上記の如くに、1.5V～2.0V程度で動作する高耐圧MOSトランジスタ20と3.3V～5V程度で動作する通常の耐圧の低耐圧MOSトランジスタ30とが形成される。

【0028】上記第1の発明の実施例で説明した製造方法では、成膜した第1のサイドウォール形成膜14を、ソース・ドレイン領域28, 29を形成する領域の半導体基板11の表面が露出するまでエッチバック処理して、第1のサイドウォール25, 35を形成し、その後第2のサイドウォール形成膜15を成膜してエッチバック処理することにより第2のサイドウォール27, 37を形成する。このため、第2のゲート電極33の両側には、第1, 第2のサイドウォール35, 37によって、十分な長さのサイドウォールが形成される。したがって、第6の工程で第2のソース・ドレイン領域38, 39を形成する際に、第2のゲート電極33の両側には、電界緩和層となる十分な長さの第1, 第2の低濃度拡散層34, 36が残る。このように電界緩和層を形成する拡散層濃度が2段階に変化しているので、ホットキャリアの発生が抑制される。また、第1のソース・ドレイン領域28, 29を形成する形成領域21上には、絶縁膜13が残らないので、設計値通りの濃度の第1のソース・ドレイン領域28, 29が形成される。さらに第1, 第2のサイドウォール25, 27を形成する際に、ホトリソグラフィー工程を行う必要がない。

【0029】次に第2の本発明の実施例を、図2の製造工程図により説明する。ここで説明する高耐圧MOSトランジスタは、オフセット構造を有するものである。なお上記第1の発明の実施例で説明した構成部品と同様の構成部品には、同一符号を付す。

【0030】図2の(1)に示すように、まず通常の素子分離領域を形成する方法として、例えばLOCOS法によって、半導体基板11を高耐圧MOSトランジスタの形成領域41(以下形成領域41と記す)と低耐圧MOSトランジスタの形成領域51(以下形成領域51と記す)とに分離する素子分離領域12を形成する。

【0031】そして第1の工程を行う。この工程では、例えばCVD法(化学的気相成長法)または熱酸化法によって、半導体基板11の上面に絶縁膜13を形成する。次いでホトリソグラフィー技術によって、形成領域41の一部分を覆う状態にエッティングマスク16を形成する。続いてエッティングを行って、上記形成領域41, 51における上記絶縁膜13の上層(2点鎖線で示す部分)を除去する。そして、形成領域41に絶縁膜(13)よりなるゲート絶縁膜パターン42を形成するとともに、形成領域51に絶縁膜13よりなるゲート絶縁膜52を形成する。その後、上記エッティングマスク16を、例えばアッシャー処理またはウェットエッティングによるレジスト剥離処理等により、除去する。

【0032】なおエッティングマスク16で覆われていない部分の絶縁膜13を全て除去した後、半導体基板11の全面にゲート絶縁膜52を形成することも可能である。この場合には、上記絶縁膜13を、形成しようとするゲート絶縁膜パターン42の膜厚より上記ゲート絶縁

膜52の膜厚を差し引いた値の膜厚に成膜する。

【0033】次いで図2の(2)に示すように、通常の成膜技術(例えばCVD法)によって、電極形成膜(図示せず)の成膜し、続いてホトリソグラフィー技術によって、エッティングマスク(図示せず)を形成し、その後のエッティングによって、当該ゲート絶縁膜パターン42上に第1のゲート電極43を形成する。上記製造プロセスによってほぼ同時に、形成領域51のゲート絶縁膜52上に第2のゲート電極53を形成する。

【0034】次いで図2の(3)に示す第2の工程と第3の工程とを行う。第2の工程では、通常のイオン注入法によって、少なくとも上記第1のゲート電極43の両側における半導体基板11の形成領域41の上層に第1の低濃度拡散層44(図ではハッチングを省略した)を形成する。このイオン注入法では、例えば不純物にリンを用い、その際のドーズ量を、例えば $5 \times 10^{12} \text{ cm}^{-2}$ 程度に設定する。

【0035】続いて第3の工程では、通常のイオン注入法によって、上記第2のゲート電極53の両側における半導体基板11の形成領域51の上層に、上記第1の低濃度拡散層44より濃度が高い第2の低濃度拡散層55(図ではハッチングを省略した)を形成する。上記イオン注入法では、例えば不純物にヒ素を用い、このイオン注入では、ドーズ量を、例えば $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 程度に設定する。このとき、形成領域41側には、膜厚が厚いゲート絶縁膜パターン42が形成されているので、ヒ素によるイオン注入では、ゲート絶縁膜パターン42がイオン注入マスクになる。この結果、形成領域41には、ゲート絶縁膜パターン42の両側における半導体基板11の上層に第2の低濃度拡散層45(図ではハッチングを省略した)が形成される。また、形成領域51には、先に行ったイオン注入により、リンが導入されているが、ドーズ量が2桁程度少ないので、この影響はほとんどない。

【0036】次いで図2の(4)に示す第4の工程を行う。この工程では、例えば通常のCVD法によって、上記第1, 第2のゲート電極43, 53側の全面を覆う状態にサイドウォール形成膜17を成膜する。続いて通常のエッチバック処理によって、形成領域41の半導体基板11の表面が露出するまで、サイドウォール形成膜17の2点鎖線で示す部分と上記第2のゲート絶縁膜52の1点鎖線で示す部分と残っている絶縁膜13の1点鎖線で示す部分とを除去する。そして第1, 第2のゲート電極43, 53のそれぞれの側壁にサイドウォール46, 56を形成する。

【0037】その後第5の工程を行う。この工程では、例えば上記第1のゲート電極43とサイドウォール46とをマスクにした不純物導入処理(例えばイオン注入)によって、ゲート絶縁膜パターン42の両側における半導体基板11の形成領域41の上層に、第1の低濃度拡

散層44の一部分と第2の低濃度拡散層45の一部分と介して第1のソース・ドレイン領域47, 48(図ではハッチングを省略した)を形成する。それとともに、上記不純物導入処理によって、上記第2のゲート電極53と上記サイドウォール35とをマスクにして、上記第2のゲート電極53の両側における半導体基板11の形成領域51の上層に、第2の低濃度拡散層55の一部分と介して第2のソース・ドレイン領域57, 58(図ではハッチングを省略した)を形成する。上記の如くに、高耐圧MOSトランジスタ40と低耐圧MOSトランジスタ50とが形成される。

【0038】上記第2の発明の実施例で説明した製造方法では、第1の工程で、形成領域41のソース形成領域上とドレイン形成領域との間にゲート絶縁膜パターン42を形成し、その上に第1のゲート電極43を形成する。そして第1のソース・ドレイン領域47, 48はゲート絶縁膜パターン42とサイドウォール46とによって位置決めされる。このため、ゲート絶縁膜パターン42に対する第1のゲート電極43の形成位置によって、オフセット長が決定される。

【0039】また第1の工程で、ゲート絶縁膜パターン42の両側における、ソース・ドレイン領域を形成しようとする半導体基板11上には、イオン注入等の不純物導入処理の際に不純物導入を阻むような膜は形成されていない。このため、サイドウォール46, 56を形成した時点でも、第1のソース・ドレイン領域47, 48と第2のソース・ドレイン領域57, 58とを形成しようとする半導体基板11上には、不純物導入を阻むような膜は形成されていない。したがって、第5の工程における不純物導入処理では、同時に、第1, 第2のソース・ドレイン領域47, 48, 57, 58が形成される。また各形成領域41, 51において、サイドウォール46, 56やオフセット構造は、自己整合的に同時に形成されるので、エッチングの際に一方の形成領域を覆うためのマスクを形成するホトリソグラフィー工程を行う必要がない。

【0040】次に第3の発明の実施例として、オフセット構造の高耐圧MOSトランジスタの製造方法を、図3の製造工程図により説明する。図3の(1)に示すように、まず通常の素子分離領域を形成する方法として、例えばLOCOS法によって、半導体基板61上層に、MOSトランジスタの形成領域62を区分する素子分離領域63を形成する。

【0041】次いで第1の工程を行う。この工程では、例えばCVD法(化学的気相成長法)または熱酸化法によって、半導体基板61の上面にゲート絶縁膜64を形成する。続いて例えばCVD法によって、例えば多結晶シリコンよりなる電極形成膜(図示せず)を成膜する。そして通常のホトリソグラフィー技術とエッチングによって、上記電極形成膜でゲート電極65を形成する。

このときのエッチングでは、2点鎖線で示すゲート絶縁膜64も除去する。

【0042】次いで図3の(2)に示す第2の工程を行う。この工程では、通常のイオン注入法によって、上記ゲート電極65の両側における半導体基板61の上層に低濃度拡散層66を形成する。上記イオン注入法は、例えば半導体基板61に導入する不純物にリンを用い、打ち込みエネルギーを例えば60keVに設定し、ドーズ量を例えば $5 \times 10^{12} \text{ cm}^{-2}$ 程度に設定して行う。その後、導入した不純物を拡散するアニール処理を行う。

【0043】続いて図3の(3)に示す第3の工程を行う。この工程では、通常のCVD法によって、上記ゲート電極65側の全面に絶縁膜67を形成する。この絶縁膜67は、例えばボウ素リンシリケートガラス(BPSG)またはリンシリケートガラス(PSG)等の酸化シリコン系材料よりもなる。または他の絶縁膜材料で形成することも可能である。次いで、通常のホトリソグラフィー技術とエッチングとによって、ソース・ドレイン領域を形成しようとする半導体基板61の上方の絶縁膜67にコンタクトホール68, 69を形成する。このコンタクトホール68, 69は、後に形成されるソース・ドレイン領域に沿う状態で、例えば長方形形状の孔パターンで形成されている。

【0044】その後図3の(4)に示す第4の工程を行う。この工程では、上記絶縁膜67をイオン注入マスクにした通常のイオン注入法によって、各コンタクトホール68, 69を通して半導体基板61の上層に不純物を導入し、ソース・ドレイン領域になる高濃度拡散層70, 71を形成する。上記イオン注入法では、例えば不純物にリンまたはヒ素を用い、その際の打ち込みエネルギーを例えば60keVに設定し、ドーズ量を例えば $1 \times 10^{15} \text{ cm}^{-2}$ 程度に設定して行う。その後、熱処理(例えば900°C)を行う。この熱処理では、各コンタクトホール68, 69のエッジ部にまるみを付けるとともに、導入した不純物を拡散する。そして、通常のアルミニウム系電極を形成する技術によって、各コンタクトホール68, 69を通してそれぞれに対応する高濃度拡散層70, 71に接続するアルミニウム系電極72, 73を形成する。上記の如くに、高耐圧MOSトランジスタ60が完成する。

【0045】上記説明した第3の発明の実施例では、絶縁膜67をイオン注入マスクにしたイオン注入法によって、絶縁膜67に形成した各コンタクトホール68, 69を通して半導体基板61にソース・ドレイン領域になる高濃度拡散層70, 71を形成したので、高濃度拡散層70, 71を設定するためのイオン注入マスクをレジストで形成するホトリソグラフィー工程が必要ない。また上記ゲート電極65の両側にサイドウォールを形成してもよい。

【0046】上記各実施例で記載した数値は一例であつ

て、その値に限定されることはない。

【0047】

【発明の効果】以上、説明したように請求項1の発明によれば、第1のサイドウォール形成膜を半導体基板表面が露出するまで除去した後、第2のサイドウォール形成膜で各第1、第2のゲート電極の側壁側に第2のサイドウォールを形成するので、第2のサイドウォールを形成した後、高耐圧MOSトランジスタの形成領域と低耐圧MOSトランジスタの形成領域との半導体基板は露出した状態になる。よって、サイドウォールを形成する際に、ホトリソグラフィー工程を行う必要がないので、製造工程の簡単化が図れる。

【0048】請求項2の発明によれば、高耐圧MOSトランジスタの形成領域におけるソース・ドレイン形成領域上間に第1のゲート絶縁膜パターンを形成した時点で、第1、第2のソース・ドレイン領域を形成しようとする半導体基板上には、不純物導入処理を行えないような厚いゲート絶縁膜は形成されていない。このため、1回のサイドウォール形成工程で各第1、第2のゲート電極の側壁に第1、第2のサイドウォールを形成することができる。その際、第1、第2のソース・ドレイン領域を形成しようとする半導体基板上にサイドウォール形成膜等が残らないので、ホトリソグラフィー工程とエッチングとを行って半導体基板上のサイドウォール形成膜等を除去する必要がない。よって製造工程の簡単化が図れる。さらに第1のゲート絶縁膜パターンをマスクにしてその両側における半導体基板上層に第1のソース・ドレイン領域を形成するので、第1のゲート絶縁膜パターンに対する第1のゲート電極の形成位置によって、オフセット長を決定できる。

【0049】請求項3の発明によれば、ソース・ドレイン領域を形成するイオン注入法において、層間絶縁膜をイオン注入マスクにしたので、イオン注入マスクを形成するホトリソグラフィー工程が必要ない。このため、製造工程の簡単化が図れる。

【図面の簡単な説明】

【図1】第1の発明における実施例の製造工程図である。

【図2】第2の発明における実施例の製造工程図である。

【図3】第3の発明における実施例の製造工程図である。

【図4】従来例の製造工程図である。

【図5】従来例の製造工程図である。

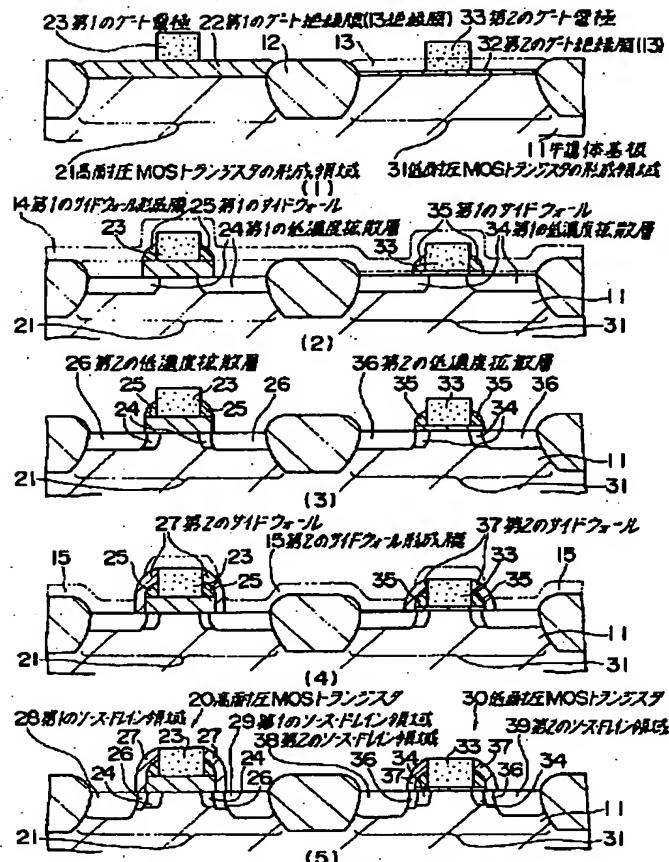
【符号の説明】

1 1 半導体基板	1 3 絶縁膜
1 4 第1のサイドウォール形成膜	1 5 第2のサイドウォール形成膜
1 7 サイドウォール形成膜	2 0 高耐圧MOSトランジスタ

O Sトランジスタ

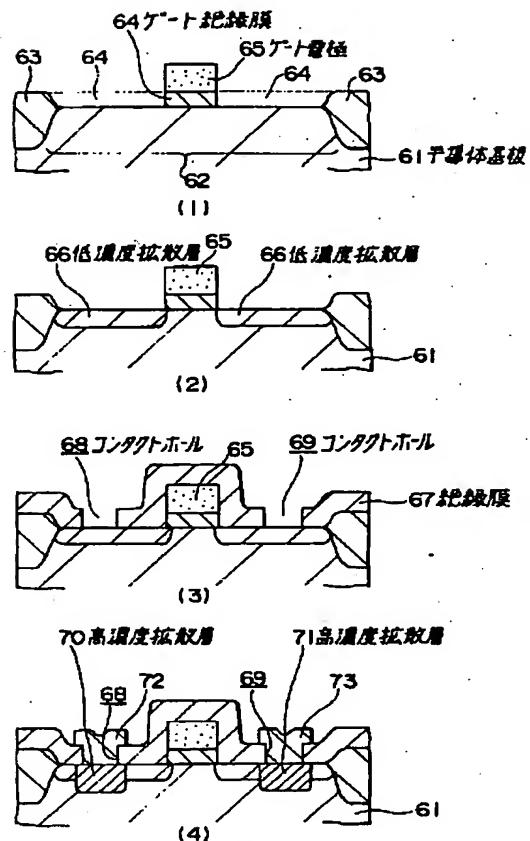
2 1 高耐圧MOSトランジスタの形成領域	
2 2 第1のゲート絶縁膜	2 3 第1のゲート電極
2 4 第1の低濃度拡散層	2 5 第1のサイドウォール
2 6 第2の低濃度拡散層	2 7 第2のサイドウォール
2 8 第1のソース・ドレイン領域	2 9 第1のソース・ドレイン領域
3 0 低耐圧MOSトランジスタ	
3 1 低耐圧MOSトランジスタの形成領域	
3 2 第2のゲート絶縁膜	3 3 第2のゲート電極
3 4 第1の低濃度拡散層	3 5 第1のサイドウォール
3 6 第2の低濃度拡散層	3 7 第2のサイドウォール
3 8 第2のソース・ドレイン領域	3 9 第2のソース・ドレイン領域
4 0 高耐圧MOSトランジスタ	
4 1 高耐圧MOSトランジスタの形成領域	
4 2 第1のゲート絶縁膜パターン	4 3 第1のゲート電極
4 4 第1の低濃度拡散層	4 5 第2の低濃度拡散層
4 6 サイドウォール	4 7 第1のソース・ドレイン領域
4 8 第1のソース・ドレイン領域	5 0 低耐圧MOSトランジスタ
5 1 低耐圧MOSトランジスタの形成領域	
5 2 ゲート絶縁膜	5 3 第2のゲート電極
5 4 第1の低濃度拡散層	5 5 第2の低濃度拡散層
5 6 サイドウォール	5 7 第2のソース・ドレイン領域
5 8 第2のソース・ドレイン領域	6 0 高耐圧MOSトランジスタ
6 1 半導体基板	6 4 ゲート絶縁膜
6 5 ゲート電極	6 6 低濃度拡散層
6 7 絶縁膜	6 8 コンタクトホール
6 9 コンタクトホール	7 0 高濃度拡散層
7 1 高濃度拡散層	

【図1】



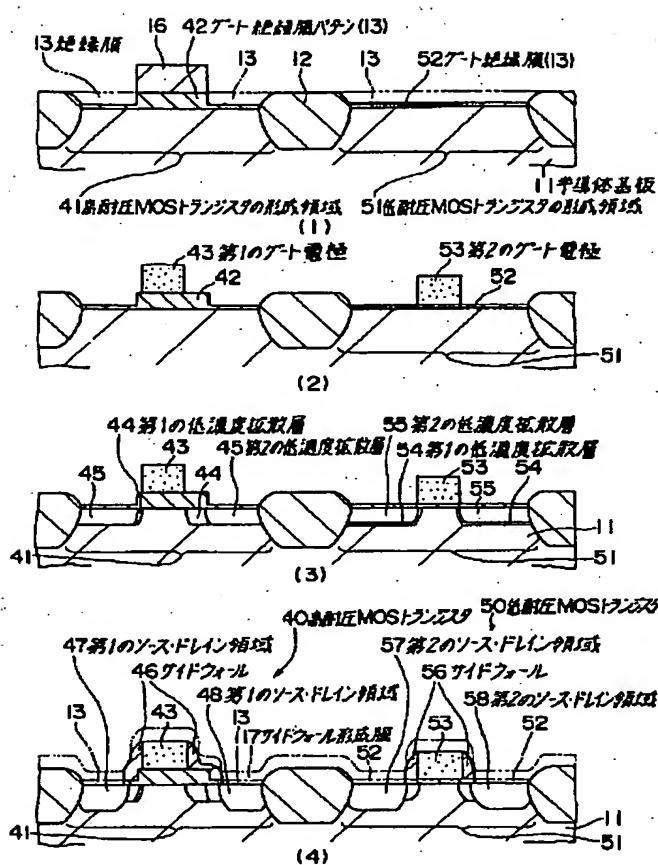
第1の発明における実施形態の製造工程図

【図3】

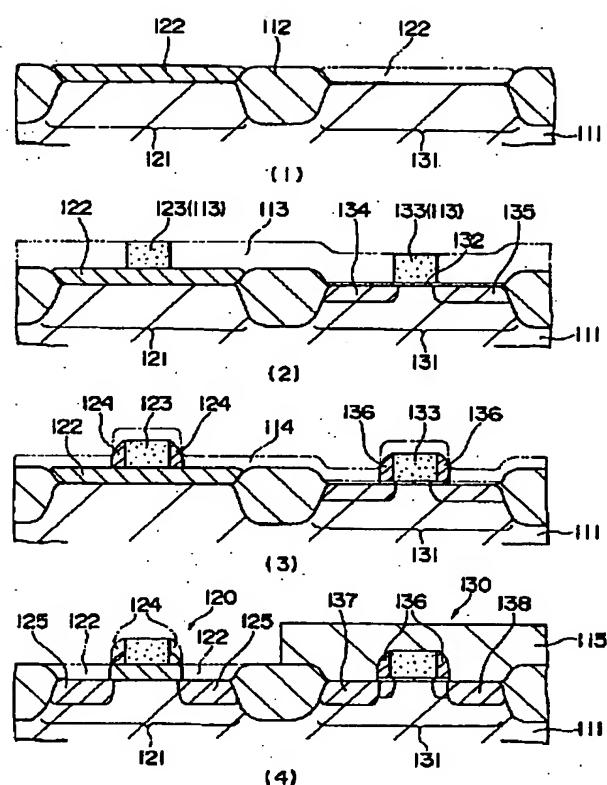


第3の発明における実施形態の製造工程図

【図2】



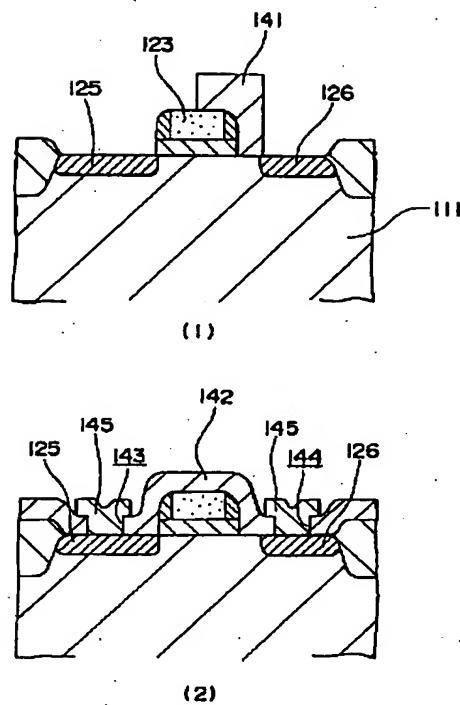
【図4】



従来例の製造工程図

第2の発明における実施例の製造工程図

【図5】



従来例の製造工程図